

逆記述法に基づいた音声コミュニケーションによる ハードウェア設計*

久津輪敏郎・本田 章人**・田中 久也**・荒木 英夫・原嶋 勝美

工学部 電子情報通信工学科

〈2005年5月25日受理〉

Hardware Design by Voice Communication
based on Reverse Description Method
by

Toshiro KUTSUWA, Akihito HONDA**, Hisaya TANAKA**
Hideo ARAKI and Katsumi HARASHIMA

Department of Electronics, Information and Communication Engineering,
Faculty of Engineering
(Manuscript received May 25, 2005)

Abstract

It is mankind's eternal wish that every- thing can be made automatically by speaking to the computer. In the case of schematic input, it is very difficult to design hardware by means of voice communication. However, the development of hardware description language and voice recognition software has enhanced voice communication. We have developed a Voice Recognition Application Program (VRAP) and a graphical user interface (GUI) to develop a hardware design system of VHDL by means of voice communication. In addition, we propose a reverse description method for effective design.

Keyword Hardware Design, Voice Communication, Hardware Description Language, Voice Recognition, Reverse Description Method.

* Electronics Circuit World Convension - 9にて発表,
(ドイツ, ケルン, 2002,10,10)

** 現在, ローム株式会社

1. まえがき

人間が機械に話しかけることによってひとりでに物ができるようにすること, これは人間の永遠の願望である. これまでは, ハードウェア設計に音声入力を利用することは全く不可能であったが, ハードウェア記述言語 (HDL) の開発と音声認識ソフトウェアの開発によって, そのような設計法の実用化の可能性が出てきた.^{1), 2)} そこで本論文では音声入力をハードウェア設計に用いることで, コンピュータとハードウェア技術者との間でコミュニケーションを行うことにより対話的な流れの中で回路設計を可能とし, より良いハードウェア設計の場を提供することを目指す. そのために音声認識とHDLの特性を検討し, 逆記述法を導入することによって, 音声コミュニケーションによるハードウェア設計システムを提案する.^{3) - 8)}

2. 背景と目的

LSIシステムの設計は, システムの大規模化, 高密度化に伴って, 回路図入力によるハードウェア設計は困難になってきており, HDLによる設計と応用が主流となってきた. しかし一方で, HDLの設計においては次の条件を満たすことが必要である.

- (1) 設計者はHDLによる設計に十分に習熟していること.
- (2) 設計者は健常者であること. (特に手に障害がないこと)

著者らは, 上のような条件 (困難) を解決するために, コンピュータと設計者との音声コミュニケーションの導入を提案する. 我々の研究の目的は次の点を効率化することである.

- (1) 設計速度の向上
- (2) 設計の正確性の向上
- (3) HDLの記述速度の向上
- (4) 身体不自由者の設計活動への参画

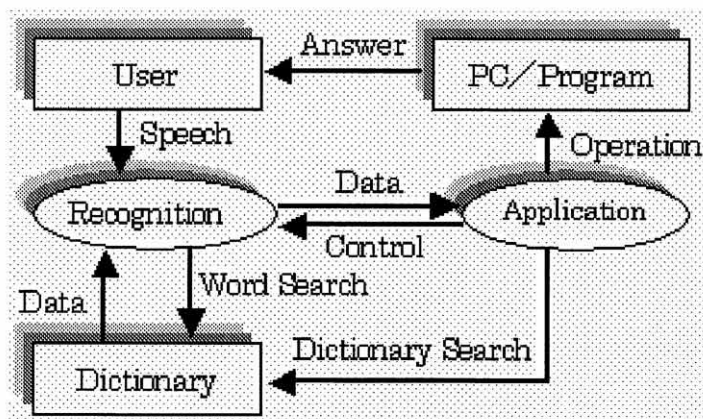


Fig. 1 Process of Voice Recognition

3. 音声コミュニケーション

3.1 音声認識処理

音声認識のプロセスをFig.1に示す。これはパソコンに市販の音声認識ソフトウェアを導入し、ユーザがコンピュータに話しかけることでハードウェア記述 (HDL) を生成しようとするものである。この中で著者らはアプリケーション (Application) 部分である音声認識アプリケーションプログラム (VRAP) およびそれに適した辞書を開発する。このVRAPは、音声認識を制御し、HDLの記述を行う部分である。

3.2 ハードウェア設計のための音声コミュニケーション

音声コミュニケーションの概要をFig. 2に示す。

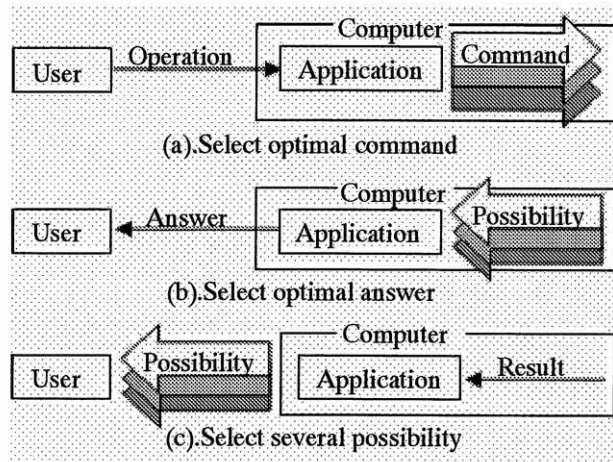


Fig.2 Outline of Voice Communication

Fig. 2 はハードウェア設計におけるユーザの記述の概要を示す。Fig.2 (a) においては、アプリケーション部はユーザのコマンドに関わらず、コンピュータ自身が自ら最適なコマンドを選択する。(b) においてはユーザの結果に対応して最適な答を出す。(c) においては、アプリケーションはユーザが行える種々の動作を選択し、表示する。著者らが開発した音声認識アプリケーションプログラム (VRAP) を用いて上の事柄を行うために、ハードウェア設計における音声コミュニケーションを次のように定義する。なお、VRAPの詳細は4. で記述する。

- (1) VRAPはユーザに対して次に行うべき動作を指示する。
- (2) VRAPはユーザが次のステップで行うことが出来る動作を表示する。
- (3) VRAPはユーザの行動をバックアップするために、ユーザの動作を予測する。
- (4) VRAPは必要に応じて予め登録してある語 (Word) を再利用する。

ハードウェア設計にこのようなコミュニケーションを導入することによってユーザは目的とする回路をいくつかのキーワードを用いて設計できることになる。

4. 音声認識アプリケーションプログラム (VRAP)

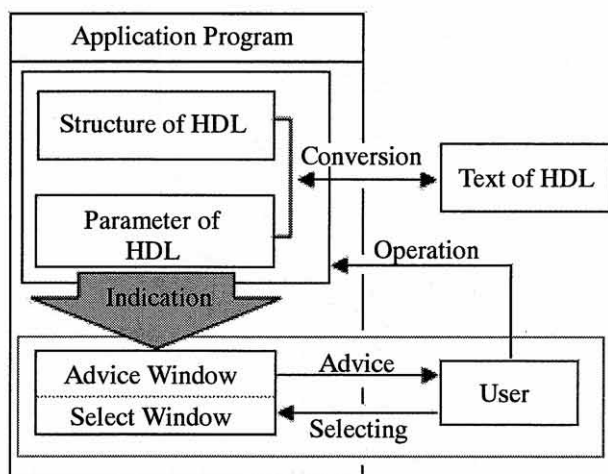


Fig.3 Voice Recognition Application Program(VRAP)

アプリケーションプログラムの処理をFig. 3に示す。ユーザはHDLの構造とパラメータの2つの要素を操作する。これらは独立の関係でなく相互依存の関係である。VRAPはセレクトウインドウとアドバイスウインドウを持っている。前者は種々の選択の表示をなし、後者はユーザがプログラムを実行するためのアドバイスと指示を与える。

5. HDLの記述

5.1 HDL記述の問題点

現在流通しているHDLにはVHDL, Verilog-HDL, UDL/I, SFLなどがあるが、本論文ではVHDLを記述の対象として論議する。但し以下の記述の殆どが他のHDLにも同様に適用できるものと思われる。

VHDLを音声コミュニケーションによって効率的に記述するためには、Fig. 2のコミュニケーションの特性を生かし、VHDLの構造としてFig.4に示すようにLIBRARY 宣言, ENTITY PART, ARCHITECTURE BODYなどのブロックごとに分割し、それぞれにID番号や階層の深度を指定し、変数やパラメータを推測することによって、記述量をできるだけ少なくすることが必要である。しかしながらVHDLを先頭から順次記述していく場合には、現行の手動記述あるいは音声入力において種々の問題点が存在する。

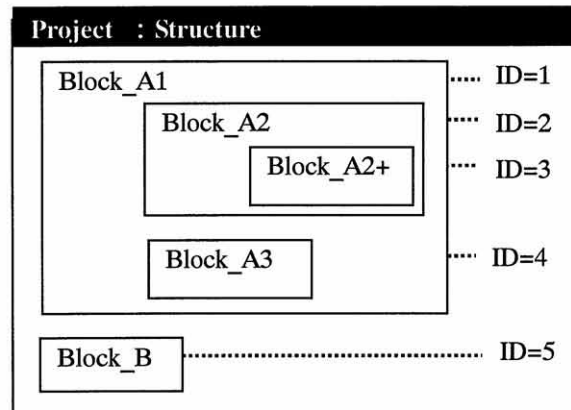


Fig.4 Conceptual Diagram of HDL Structure

(1) 現行のVHDLの問題点

VHDLの記述を行う際に、現行のようなテキスト記述を行えばVHDLには非常に多数の単語が存在するために、ユーザは必要以上の労力を払わなければならない可能性がある。ユーザの単語入力数が増加すれば、それだけVHDLの記述速度と正確性は低下する。

(2) 音声入力のVHDL記述における問題点

前述のような手法で記述を行なった場合、一度入力したVHDLの構成やパラメータの修正を音声で行なうことはかなり困難である。この問題も単語数が多ければ操作はさらに困難となる。その問題を解決するために以下のようにする。

- (1) VHDLの構成を機能単位のプロックで作成する。
- (2) 各機能単位のプロックにパラメータを与える。
- (3) VHDLの構成とパラメータを合成してテキスト化する。

5.2 全加算器 (Full adder) の回路記述

音声コミュニケーションによるハードウェアの設計例としてfig. 5 に示すFull adderの記述を行う。

```

LIBRARY ieee ;
USE ieee.STD_LOGIC_1164.all ;
ENTITY Fulladd IS
    PORT( in1 , in2 , ci :IN STD_LOGIC ;
          out , co      : OUT
          STD_LOGIC );
END Fulladd ;
ARCHITECTURE kinou OF Fulladd IS
BEGIN
    out <=(in1 XOR in2) XOR ci ;
    co <=(in1 AND in2)OR ((in1 XOR in2)AND ci) ;
END kinou ;

```

Fig. 5 Description for Full Adder

VRAPを用いてFull adder 回路を設計する。ブロックダイアグラムはFig. 6に示され、Table 1は 各ブロックのパラメータを示す。

Table 1においては、背景色が黒のパラメータは推測システムによって推測書き込みが完全に成立する場所であるか、またはデフォルトで値が設定されている箇所である。

ID	Parameter
1	Default (IEEE Std Logic 1164 = "Yes")
2	Fulladd (Project Name)
3	IN
	in1, in2, ci
	None (= STD LOGIC)
	OUT
	out, co
	None (= STD LOGIC)
4	Knouu
	Fulladd (Project Name)
5	out <= (in1 XOR in2) XOR ci
6	co <= (in1 AND in2) OR ((in1 XOR in2) AND ci)

Table 1.Parameter of Full Adder

Full adderは単に6つのブロックで構成できており、その構造はユーザが簡単に理解できる。回路の構成は、ブロックを導入することにより簡単に決定でき、パラメータの数も減少させることができるようになる。この技術によって、音声入力の効果を次のように記述できる。

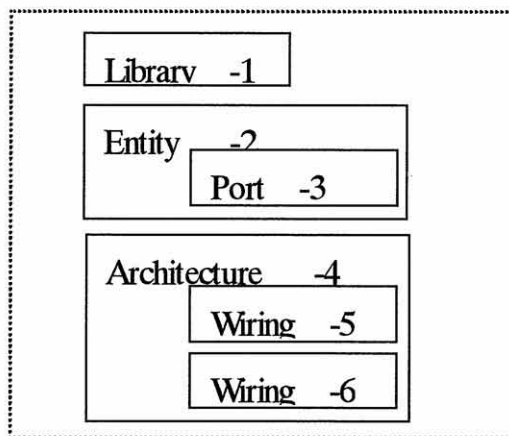


Fig. 6 Structure of Full Adder

- (1) ユーザは、各ブロックを呼び出すことによって、回路の構造を編成することができる。
- (2) ユーザは、各ブロックの識別子を呼び出すことによって回路の構造を修正することができる。

- (3) アプリケーションは、各ブロックの識別子を認識し、ユーザの予測を検出することによって音声認識の正確性を改善する。

5.3 記述の比較

各IDの作成速度を以下の項目について測定し比較する。

- (1) 手動でのVHDLの記述
- (2) 音声のみによるVHDLの記述
- (3) パラメータ記述に手動を許可したVHDLの記述

Table 2 に 50 回測定した平均結果(秒)を示す。

ID1の0秒はLibrary宣言の予測挿入が行われているためである。Table 2 の結果から、(2) の音声のみを用いたVRAP システムによる記述でも十分な記述速度が得られていることがわかる。しかし、ID5とID6の結果から単語 (Free Word) の記述に対する十分な記述速度は得られないことがわかった。(3) の結果は音声と手動を併用することによるHDL記述の高速化を示している。

	ID 1	ID 2	ID 3	ID 4	ID 5	ID 6	Total
(1)	26	20	43	38	20	32	179
(2)	0	2	35	15	39	71	162
(3)	0	2	20	8	26	38	94

Table 2 Average Result of Description (Sec)

6. 逆記述法の導入⁹⁾

音声コミュニケーションを用いた、従来のVHDL記述法では不要な記述を多く含んでいる。また、VHDLの構造を先頭から記述していたのでは、高度な双方向コミュニケーションができず、タイプライティングの領域を脱することはできない。すなわち、音声入力の特徴を十分に生かすことができない。そこで、本章ではVHDLの構造を根本から見直し双方向コミュニケーションに適した記述法である System - VAHD (System - Voice Advanced Hardware Description) による逆記述 (Reverse Description) 法を提唱する。

前章までのVHDL記述は、作成する回路における仕様 (VHDLの使用ライブラリ等を含む) を記述したのちに回路の機能を決定する内容を記述したが、本章の逆記述法は、作成したい回路の動作や機能を決定する内容のみを音声または手動入力によって記述し、その後に会話によって目的のVHDLを得るという手法である。

6.1 逆記述法の概要

逆記述によって全加算器を生成するとすれば、先ずFig. 7で示す部分を音声または手動によって記述する。これらの文には、ユーザの欲している情報の大部分が凝集されている。

これにより、求めるVHDLの記述は数回の『会話』により記述が可能となる。またこの形式の利点はPORT文の単語を推測することが可能な点にある。逆に、従来の手法ではPORT文を先に記述することになるがPORT文からWIREの構造を推測することは不可能である。

WIRE

out <=(in1 XOR in2) XOR ci

co <=(in1 AND in2)OR ((in1 XOR in2)AND ci)

Fig. 7 Objects of Reverse Description

音声入力において、Free Wordを減らすことが音声入力を用いたVHDL記述において認識率・完成速度・正確性を向上させる最も有効な手段であることから、この手法は音声入力の有用性をより発揮できる手法であるといえる。さらに、初期段階の記述の縮小化は、ユーザにとってVHDLの理解すべき範囲を縮小させるので、VHDLの理解力不足を補うというメリットを持っている。また、『選択』の部位も推測により『確認』の作業に変えることが可能である。これは以下のことを示している。

- (1) 『選択』から『確認』という作業に音声操作が変わるのでユーザは従来よりも容易な音声操作（自然会話に近い操作）が可能となる。
- (2) ユーザ主導の記述ではなく、ユーザが最初に与えた記述から推測して記述内容から派生する会話に沿ったVRAP主導の記述が可能となる。

これによりユーザは、VHDLの構造に対する最小限の知識を保持していれば、VHDLの記述が可能となることを示している。ただし、問題が存在しないわけではない。ステートマシンや巨大な構造のVHDLを想定した場合に、回路の機能を決定する内容の記述が大半を占める可能性が高い。この場合において音声入力の優位性が失われる危険性が高いといわざるをえない。（ただし、従来手法の場合でも同様の問題は発生する。それは単語（Free Word）が大量に発生するところに起因する。）

実際、単語に対しては推測が困難であるために、音声のみでの記述時間は手動記述の約2倍も必要とする。しかし、音声と手動を併用することによる高速化は十分に予測できるが、音声利用の割合を一方的に減少させるのは、音声入力の利用という研究目的からみれば問題となる。

6.2 問題解決の方法

逆記述法の特徴である「結果から書く」という特徴に加えて、状況によってVHDLの構文制約を離れることを許容する。つまり、記述する目的の回路に適した記述法を用いる必要がある。この場合、VHDL構造特性から離れるという不利益が生じることがある。例えば、ステートマシンなどを記述するとき”WHEN”等の構文が頻発することは明白であるので、VHDL記述の単純化と『より自然なコミュニケーション』を可能とすることを目的としてVHDLの構文制約を離れることも必要である。また、組合せ回路と順序回路では記述法を変える必要があるかもしれないと考えられるので、ここでは組合せ回路に限定して記述法を検討する。

6.3 Full adder 回路の記述

組合せ回路の例としてFull adder 回路の記述は実に簡単に記述できる。なぜなら基本的なVHDLの構文制約を崩す必要性が無いからである。初期記述では以下に示す記述を与える。

```
@WIRE
```

```
out <=(in1 XOR in2) XOR ci
co <=(in1 AND in2)OR ((in1 XOR in2)AND ci)
```

ここまでの内容は、ユーザは音声または手動によって記述する。この記述は音声入力で行なうよりも手動記述の方が高速に記述出来るが、音声入力によってもさほど困難ではない。

ここで、提案のVHDLの記述法則を遵守する場合は@WIREと先頭に記述スタイルの宣言文を記述する。後はユーザが希望する回路の動作内容を書くだけである。この記述が完成すれば推測システム (Conjecture System) によって初期の HDL (First HDL) が作成される。作成の手順は以下のようになる。

@WIRE部分の記述に従って、推測システムは以下のことを推測する。

PORT宣言において各PORTの入力出力属性とPINの名前を対応させる。

```
OUT: out , co
```

```
IN: in1, in2, ci
```

この表現からビット幅 1 のSTD_LOGICが割り当てられる。

```
PORT
```

```
in1 , in2 , ci : IN STD_LOGIC
```

```
out , co : OUT STD_LOGIC
```

このPORTが仮決定した時点で使用するLIBRARYの仮判定を行う。Full Adder回路の場合は、整数演算が発生しないので以下のLIBRARYを割り当てる。

```
LIBRARY ieee
```

```
USE ieee.STD_LOGIC_1164.all
```

上の初期記述からARCHITECTURE_BODYは1つであると解釈可能であるのでARCHITECTURE_NAMEを仮にFunc1と置く。推測可能な事象はここまでであり、アプリケーション内部での記述はFig. 8のようになっている。逆記述法においてこの段階のHDLを初期のHDL (First HDL) と呼称する。

```

LIBRARY ieee ;
USE ieee.STD_LOGIC_1164.all ;
ENTITY Fulladd IS
    PORT( in1 , in2 , ci :IN  STD_LOGIC ;
          out , co  :OUT  STD_LOGIC );
END Fulladd ;
ARCHITECTURE Func1 OF Fulladd IS
BEGIN
    out <=(in1 XOR in2) XOR ci ;
    co <=(in1 AND in2)OR ((in1 XOR in2)AND ci) ;
END Func1;

```

Fig. 8 First HDL

この時点で正しいFull adder回路のVHDL記述が完成しているが、VRAPにはユーザに『確認』を行うべき事項が残っている。

- 1) LIBRARYにieee以外の物を追加するか？
- 2) USE を追加するか？
- 3) in1のビット幅
- 4) in2のビット幅
- 5) ci のビット幅
- 6) co のビット幅
- 7) out のビット幅
- 8) ARCHITECTURE_NAMEがFunc1でよいか？

この回路の場合、答えはすべてYesでよい。よって、結果的に導出されるFull adder回路のVHDLはFig. 8と同じものとなる。この場合、従来のHDLの構成を利用した手法より多くの記述が推測システムによって導き出されていることがわかる。また、アプリケーション主導の記述になっていることもわかる。さらに、『選択式』の記述よりもより自然会話的な記述が行えている。

6.4 System-VAHDについて

System-VAHDは、逆記述法によるVHDL記述を可能とするために著者らが開発したVRAPである。これによって、VHDLをより容易に高速かつ正確に記述することを可能とした。

6.4.1 System-VAHDの構成

System-VAHDの構成をFig. 9に示す。

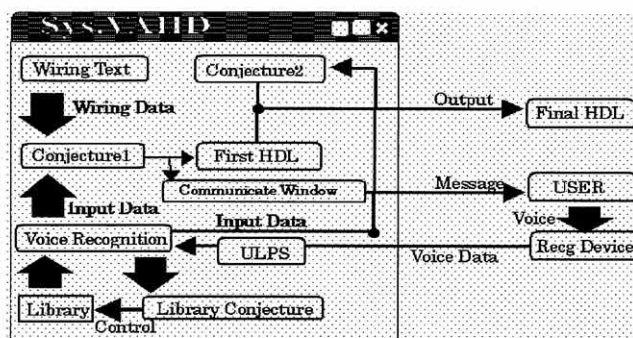


Fig. 9 Structure of System-VAHD

A. 推測部 1 (Conjecture 1)

前段階推測システムである。主にTextから構文の解析を行いFirst(初期の) HDLを推測する。また、First HDLのHDL補完部位の検出およびそれらに対する適切なCommunicate Messageをユーザに対して提示する。また、辞書推測部の状況変数に値を渡す役割も担っている。さらに、推測部 1ではWriting Textにおける音声利用時のサポート的な役割も包括する。

B. 推測部 2 (Conjecture 2)

後段階推測システムである。推測部 2はFirst HDLと音声を合成するシステムである。したがって位置づけ的には推測部 1に従属し推測部 1のバックアップを目的としたシステムである。よって推測部1のシステムの一部を共用することで完全な推測システムとして稼動する。

C. 辞書推測部 (Library Conjecture)

音声認識辞書推測システムである。推測部1と2により与えられた情報により音声辞書の設定を変更することを主とする辞書推測の概念図を示す。

この場合、辞書推測部の役割は推測システムから与えられる環境変数を存在する音声辞書に割り当てた辞書番号と等価としそのライブラリを選択する、いわばセレクト的な役割をはたす。この場合の狙いは辞書の変更による音声認識率の向上を目的としている。

6.4.2 System-VAHDによる記述の流れ

上記で示したSystem-VAHDによる記述の流れは、要約すれば Fig. 10のようになる。

HDL作成に必要なとする時間はWiring Textの作成時間と『確認』に必要な時間である。上記で作成したFull adder回路はWiring Textの作成時間には約50秒『確認』に必要な時間は約

10秒であった。これにより60秒でFull adder回路の作成が可能となった。5.の結果より手動記述は179秒必要であるとする、約3倍の記述速度を得ることが出来た。また5.において、手動記述を併用した場合においても94秒の結果であったので1.5倍の記述速度を得ることが出来たといえる。

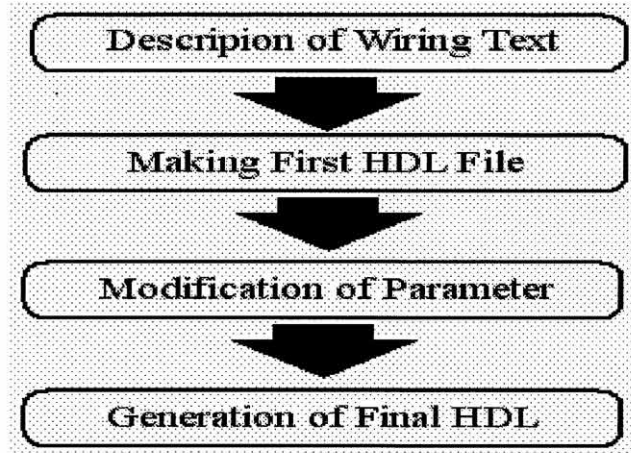


Fig.10 Design Flow by System-VAHD

本章で作成したSystem-VAHDでは、初期記述部分を手動記述または音声入力記述を行なったために、高速な記述を行なえた。また、逆記述法特性により最小限の記述量による文法構成が可能となり、ユーザのHDLに対する理解度の負担を軽減した。またVHDLの文法構成もVRAPの推測により構成されるために、同様にユーザのHDLに対する理解度の負担を軽減した。この点においては、VRAPで構成し書き込むためHDLの正確性も向上した。さらに、VRAPがユーザとコミュニケーションを行なうという観点から見ればこれはVRAP主導のコミュニケーションであるといえる。これらの点から、この提案手法は、現行のHDLの記述法よりも高速で、正確性が高く、ユーザに要求する言語理解量が少なく良いという点で優れている。

7. 順序回路等の記述について

これまでに述べてきた手法は、残念ながら全ての記述に対して万全であるとはいえない。順序回路のように各状態についての動作を記述するには記述量が非常に多くなるためである。そこで著者らは本論文で述べてきた逆記述法を応用して、順序回路に適した方法として状態遷移表を用いる方法、組合せ回路については真理値表を用いる方法を開発した。これらについては別の文献¹⁰⁾で述べているので省略するが、組合せ回路については、回路によって本手法に適したものとそうでないものがあることが判ったので、本論文の手法と真理値表による方法を併用することが望ましいと考えている。

8. 結論

著者らは、ユーザとコンピュータの対話によって、設計の自動化を目的とした研究を行い音声認識アプリケーションプログラム (VRAP) を開発した。殆どの記述をVRAPを用いて行うことにより、ケアレスミス無くし、効果的なHDL記述が出来るようにした。

さらにまた 身体に障害を持つ人がハードウェア設計に従事できるように検討した。しながら、もっと自然な音声コミュニケーションによるHDLデザインを検討する必要がある。

この研究の一部は、科学技術振興機構および学術振興会科学研究費補助金、 基盤研究C2 (14580396) によったものである。ここに謝意を表します。

Reference

- 1) Christopher Schmandt, "Voice Communicatino With Computers", Van Nostrand Reinhold.1993
- 2) 三菱電機(株): "Manual of the application development support tool for Mitsubishi Speech Navi", 1996
- 3) 本田章人, 田中優児, 荒木英夫, 原嶋勝美, 久津輪敏郎: "音声認識によるハードウェア設計の試み" 2001年電子情報通信学会総合大会, A-3-16, 2001
- 4) 本田章人, 荒木英夫, 原嶋勝美, 久津輪敏郎: "音声入力を利用した対話形式によるハードウェア設計システム", 平成13年電気関係学会関西支部連合大会, G274, 2001
- 5) A.Honda, H.Araki, K.Harashima, T.Kutsuwa: "Hardware Design System with the Voice Communication", Proceedings of the ITC-CSCC 2002, Vol. 1 pp.208-211, 2002.
- 6) T.Kutsuwa, A.Honda, H.Araki, K.Harashima: "A Trial of Hardware Design by the Voice Communication by means of VHDL", ECWC-9 Proceedings Posters Software Design, PP.5-8, 2002
- 7) 田中久也, 本田章人, 荒木英夫, 原嶋勝美, 久津輪敏郎: "音声入力を利用したハードウェア設計", 平成14年電気関係学会関西支部連合大会G10-3, 2002.
- 8) 久津輪敏郎, 本田章人, 田中久也, 荒木英夫, 原嶋勝美: "音声入力を利用したハードウェア設計", 第33回国際電子回路工業展 (JPCA Show2003), アカデミック・ラボラトリ・ポスタープログラム, 2003
- 9) 本田章人: "音声コミュニケーションによるハードウェア設計", 大阪工業大学大学院修士学位論文, 2003.

- 10) 田中久也，本田章人，荒木英夫，久津輪敏郎，原嶋勝美： “音声コミュニケーションによるハードウェア設計システム”，電子情報通信学会論文誌A，Vol.J88-A,No.5,pp.597-605,2005.